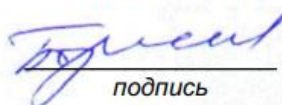


МИНОБРНАУКИ РОССИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»
(ФГБОУ ВО «ВГУ»)

УТВЕРЖДАЮ

Заведующий кафедрой
физики полупроводников и микроэлектроники


подпись

(Бормонтов Е.Н.)
расшифровка подписи

01.06.2023

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ

Б1.В.01 Проектирование цифровых устройств на Verilog

1. Код и наименование направления подготовки/специальности: **11.04.04**
Электроника и наноэлектроника

2. Профиль подготовки: Интегральная электроника и наноэлектроника

3. Квалификация (степень) выпускника: магистр

4. Форма образования: очная

5. Кафедра, отвечающая за реализацию дисциплины: _____
физики полупроводников и микроэлектроники

6. Составители программы: Богатиков Евгений Васильевич,
кандидат физико-математических наук

7. Рекомендована: НМС физического факультета протокол №5 от 25.05.2023

8. Учебный год: **2023-2024** Семестр: **2**

9. Цели и задачи учебной дисциплины: Целями освоения дисциплины «Проектирование цифровых устройств на Verilog» является формирование специальных знаний о применении языка Verilog для разработки цифровых устройств на базе ПЛИС.

В задачи дисциплины входят:

- изучение архитектуры ПЛИС;
- изучение языка Verilog;
- приобретение умений и навыков работы с ПЛИС.

10. Место учебной дисциплины в структуре ОПОП: Дисциплина включена в число дисциплин части, формируемой участниками образовательных отношений, блока Б1 по направлению подготовки **11.04.04 Электроника и наноэлектроника**.

Для ее усвоения требуются знания, формируемые при освоении ОПОП бакалавриата в рамках курсов математики, физики, компьютерного моделирования.

В результате прохождения данной дисциплины обучающийся должен приобрести знания, умения, навыки общепрофессиональных компетенций, необходимых для обеспечения трудовых функций В/02.7 «Разработка функционального описания цифровых блоков аппаратной части СнК» и Е/02.7 «Проектировка поведенческой модели аналоговой части проекта для моделирования в составе всей системы в целом» профессионального стандарта 40.016 «Инженер в области проектирования и сопровождения интегральных схем и систем на кристалле».

Знания, полученные при освоении дисциплины «Проектирование цифровых устройств на Verilog», необходимы при выполнении научно-исследовательских работ, учебной и производственных проектно-конструкторских практик написания магистерской выпускной квалификационной работы в области микро- и наноэлектроники.

Данная дисциплина является предшествующей для дисциплины «Языки проектирования схем смешанного сигнала». Знания, полученные при освоении дисциплины «Проектирование цифровых устройств на Verilog», могут быть полезны при выполнении выпускных квалификационных работ в области микро- и наноэлектроники.

11. Планируемые результаты обучения по дисциплине/модулю (знания, умения, навыки), соотнесенные с планируемыми результатами освоения образовательной программы (компетенциями) и индикаторами их достижения:

Компетенции		Индикаторы		Планируемые результаты обучения
Код	Наименование компетенции	Код(ы)	Наименование индикатора(ов)	
ПК-3	Способен анализировать состояние научно-технической проблемы путём подбора, изучения и анализа литературных и патентных источников	ПК-3.1	Составляет описание алгоритма функционирования и циклограммы работы СнК и формулирует предложения по их реализации аппаратными или программными средствами	Знает: - архитектуру ПЛИС - принципы разработки HDL-описаний цифровых устройств; Умеет: - составлять описание алгоритма функционирования и циклограммы работы СнК; Владеет: - программными средствами реализации цифровых устройств
		ПК-3.2	Разрабатывает технические требования к созданию аналоговых и аналого-цифровых узлов СнК	Умение: - применять язык Verilog для создания синтезируемых HDL-описаний цифровых устройств по техническому заданию; - разрабатывать методику тестирования и проводить функциональную верификацию HDL-описания; - проводить конфигурирование ПЛИС и тестирование законченного цифрового устройства на базе ПЛИС.

		ПК-3.3	Проводит технико-экономический анализ и обосновывает принимаемые решения по выбору архитектуры СнК	Умеет: - выполнять технико-экономический анализ по выбору архитектуры СнК; - обосновывать принимаемые решения по выбору архитектуры СнК
ПК-7	Готов определять цели, осуществлять постановку задач проектирования электронных приборов, схем и устройств различного функционального назначения, подготавливать технические задания на выполнение проектных работ	ПК-7.1	Производит выбор языков описания аппаратуры и стилей описания цифровых блоков, а также выбор средств описания поведенческих моделей аналоговых блоков	Знает: - языки описания аппаратуры; Умеет: - использовать языки описания аппаратуры при проектировании цифровых блоков СнК
		ПК-7.2	Формулирует задачи функциональной и временной верификации цифровых блоков СнК, производит выбор методики верификации поведенческих моделей аналоговых блоков	Знает: - методики верификации цифровых блоков; Умеет: - формулировать задачи функциональной и временной верификации цифровых блоков СнК; - производить выбор методики верификации цифровых блоков
ПК-8	Способен проектировать устройства, приборы и системы электронной техники с учетом заданных требований	ПК-8.1	Использует языки описания аппаратуры при проектировании цифровых и аналоговых блоков СнК	Знает: - языки описания аппаратуры; Умеет: - использовать языки описания аппаратуры при проектировании цифровых блоков СнК
		ПК-8.2	Моделирует средствами САПР функциональное описание цифровых блоков и использует его результаты для коррекции их функционального описания	Умеет: - применять язык Verilog для создания синтезируемых HDL-описаний цифровых устройств по техническому заданию; - разрабатывать методику тестирования и проводить функциональную верификацию HDL-описания; - проводить конфигурирование ПЛИС и тестирование законченного цифрового устройства на базе ПЛИС.

12. Объем дисциплины в зачетных единицах/часах — 3 / 108.

Форма промежуточной аттестации – экзамен

13. Виды учебной работы:

Вид учебной работы	Трудоемкость (часы)
--------------------	---------------------

		Всего	По семестрам
			2 сем.
Аудиторные занятия,		28	28
в том числе:	лекции	14	14
	лабораторные	14	14
Самостоятельная работа		44	44
Форма промежуточной аттестации: экзамен		36	36
Итого:		108	108

13.1. Содержание разделов дисциплины:

№ п/п	Наименование раздела дисциплины	Содержание раздела дисциплины
1. Лекции		
1.1	Введение в архитектуру ПЛИС	Классификация ПЛИС: PLA, CPLD, FPGA. Области применения ПЛИС. Структура логического элемента ПЛИС. Структура LUT. Программируемая коммутация в ПЛИС. Конфигурационная и пользовательская flash-память. Подсистема ввода-вывода.
1.2	Основы языка Verilog	Структура Verilog-проекта. Модули. Сигналы типа reg и wire, значения сигналов 'x' и 'z'. Типы портов. Аппаратное представление двунаправленного порта. Правила задания типов сигналов при подключении к портам. Типы данных в Verilog. Арифметические, логические, побитовые и другие операции в языке Verilog. Деление операторов на параллельные и последовательные. Оператор assign. Использование тернарного оператора. Оператор always. Виды условий запуска в операторе always. Последовательные операторы. Операторы блокирующего и неблокирующего присваивания. Операторы ветвления и выбора. Условия появления защелок. Операторы цикла. Структурное и поведенческое описание устройства. Оператор подключения экземпляра модуля.
1.3	Верификация HDL-описания	Понятие синтезальности HDL-описания. Функциональная верификация HDL-описания, принципы построения тестбенчей. Директивы компилятора и системные функции. Оператор initial.
1.4	Параметризуемые модели в Verilog	Параметры и локальные параметры. Переопределение параметров. Макроопределение `define. Символ #. Макроопределение `defparams. Генерация однотипных компонентов с помощью цикла generate и индексной переменной genvar. Условная генерация компонентов.
1.5	Согласование тактовых доменов	Понятие гонки сигналов. Понятие метастабильности триггеров. Схемы для экспериментального наблюдения состояний метастабильности триггеров. Устранение метастабильных состояний с помощью сдвиговых регистров.
1.6	Использование конечных автоматов в Verilog	Конечные автоматы Мура и конечные автоматы Мили. Представление конечных автоматов в виде графов и таблиц переходов. Реализация структуры конечного автомата в Verilog: логика переходов, регистр состояния, логика формирования выходных сигналов. Примеры применения конечных автоматов.
1.7	Конвейерная обработка данных на Verilog	Базовые идеи конвейеризации. Конвейерные идеализмы: одинаковая задержка стадий, унифицированные типы запросов, независимость запросов. Синхронизация стадий конвейера с переменными задержками. Сравнение комбинационной, многотактной и конвейерной реализаций на примере арифметического блока.

2. Лабораторные занятия		
2.1	Введение в архитектуру ПЛИС	Лабораторная работа № 1. Схемотехническое моделирование LUT-элемента ПЛИС
2.2	Основы языка Verilog	Лабораторная работа № 2. Разработка модели комбинационного устройства в Quartus.
2.3	Верификация HDL-описания	Лабораторная работа № 3. Функциональная верификация комбинационного устройства с помощью Modelsim.
2.4	Параметризуемые модели в Verilog	Лабораторная работа № 4. Разработка и верификация параметризованной модели таймера.
2.5	Согласование тактовых доменов	Лабораторная работа № 5. Реализация SPI-интерфейса для ведомого устройства
2.6	Использование конечных автоматов в Verilog	Лабораторная работа № 6. Реализация конечного автомата на Verilog
2.7	Конвейерная обработка данных на Verilog	Лабораторная работа № 7. Конвейерная реализация арифметических действий

13.2. Разделы дисциплины и виды занятий:

№ п/п	Наименование раздела дисциплины	Виды занятий (часов)			
		Лекции	Лабораторные	Самостоятельная работа	Всего
1	Введение в архитектуру ПЛИС	2	2	6	10
2	Основы языка Verilog	2	2	8	12
3	Верификация HDL-описания	2	2	6	10
4	Параметризуемые модели в Verilog	2	2	6	10
5	Согласование тактовых доменов	2	2	6	10
6	Использование конечных автоматов в Verilog	2	2	6	10
7	Конвейерная обработка данных на Verilog	2	2	6	10
	Итого:	14	14	44	72
	Экзамен				36
	Итого по курсу				108

14. Методические указания для обучающихся по освоению дисциплины:

Изучение дисциплины «Проектирование цифровых устройств на Verilog» предусматривает осуществление учебной деятельности состоящей из двух частей: обучения студентов преподавателем и самостоятельной учебной деятельности студентов по изучению дисциплины.

Подготовка к лекциям является одним из видов самостоятельной работы студентов. Студентам, чтобы хорошо овладеть учебным материалом, необходимо выработать навыки правильной и планомерной работы. Перед началом лекционных занятий надо просмотреть все, что было сделано в предыдущий раз. Это позволит сосредоточить внимание и восстановить в памяти уже имеющиеся знания по данному предмету. Кроме того, такой метод поможет углубить понимание как нового, так и уже изученного материала благодаря установлению взаимосвязей между отдельными частями курса.

Хорошо овладеть содержанием лекции – это:

- знать тему лекции;
- понимать значение и важность ее в данном курсе;
- четко представлять план лекции;

- уметь выделить основное, главное;
- усвоить значение примеров и иллюстраций;
- связать вновь полученные сведения о предмете или явлении с уже имеющимися;
- представлять возможность и необходимость применения полученных сведений.

Существует несколько общих правил работы на лекции:

- лекции по каждому предмету записывать удобнее в отдельных тетрадях, оставляя широкие поля для пометок;
- к прослушиванию лекций следует готовиться, что позволит в процессе лекции отделить главное от второстепенного;
- лекции необходимо записывать с самого начала, так как оно часто бывает ключом ко всей теме;
- так как дословно записать лекцию невозможно, то необходимо в конспекте отражать: формулы, определения, схемы, трудные места, мысли, примеры, факты и положения от которых зависит понимание главного, новое и незнакомое, неопубликованные данные, материал отсутствующий в учебниках и т.п.

Важной составляющей курса являются лабораторные работы, которые позволяют приобрести навыки работы с реальными приборами твердотельной электроники, а также измерительной аппаратурой. Выполнение лабораторной работы требует тщательной предварительной подготовки. Необходимо заранее ознакомиться с теоретическим введением к предстоящей лабораторной работе для того, чтобы выполнение работы в аудитории было полностью осмысленным. Также необходимо помнить, что составление отчета о выполнении лабораторной работы является не только ключевым этапом в систематизации и осознании полученных данных, но и необходимым умением в будущей профессиональной деятельности, предполагающей регулярное составление подобных отчетов.

Наряду с теоретическим курсом и лабораторными работами важной составляющей обучения является самостоятельная работа. Она предназначена как для формирования навыков самостоятельной работы вообще, так и для развития способностей принимать на себя ответственность, находить конструктивные решения и выход из кризисной ситуации.

Давая возможность расширять и обогащать знания, умения по индивидуальным направлениям, самостоятельная работа обучающегося позволяет создать разносторонних специалистов. В процессе самостоятельной работы развивают творческие возможности обучающегося, при этом самостоятельная работа завершает задачи всех видов учебной работы.

Таким образом, самостоятельная работа формирует черты характера, играющие существенную роль в структуре личности современного специалиста.

Преподаватель организует, направляет самостоятельную работу обучающихся и оказывает им необходимую помощь. Однако самостоятельность обучающихся должна превышать объем контролируемой преподавателем работы, и иметь в своей основе индивидуальную мотивацию обучающегося по получению знаний, необходимых и достаточных для профессиональной деятельности в избранной сфере.

Получение образования предполагает не только обучение решению задач определенной сферы деятельности, но и формирование особого профессионального стиля мышления. Профессиональный стиль мышления означает готовность к поиску решения любой задачи в ходе практической деятельности, даже такой, которая не была затронута в ходе обучения.

Результат обучения и самостоятельной работы обучающегося предполагает наличие следующих составляющих:

- понимание методологических основ построения изучаемых знаний;
- выделение главных структур учебного курса;
- формирование средств выражения в данной области;
- построение методик решения задач и ориентации в проблемах (ситуациях).

Самостоятельная работа обучающихся при изучении курса «Проектирование цифровых устройств на Verilog» включает в себя: работу с теоретической частью курса, оформление отчетов о выполнении лабораторных работ и подготовку к выполнению лабораторных работ, подготовку к экзамену.

Рекомендуемое распределение нагрузки между компонентами самостоятельной работы:

изучение теоретической части курса	- 20 часов
подготовка к лабораторным занятиям	- 24 часов
итого - 44 часов	

Подготовка к экзамену – 36 часов

15. Перечень основной и дополнительной литературы, ресурсов Интернет, необходимых для освоения дисциплины:

а) основная литература:

№ п/п	Источник
1	Харрис, Дэвид Мани. Цифровая схемотехника и архитектура компьютера = Digital design and computer architecture : пер. с англ. / Дэвид М. Харрис, Сара Л. Харрис. – 2-е изд., испр. – Москва : ДМК Пресс, 2018. – 791 с.
2	Дыбко, М. А. Цифровая микроэлектроника : учебное пособие : [16+] / М. А. Дыбко, А. В. Удовиченко, А. Г. Волков ; Новосибирский государственный технический университет. – Новосибирск : Новосибирский государственный технический университет, 2019. – 200 с. : граф., схем., ил. – Режим доступа: по подписке. – URL: https://biblioclub.ru/index.php?page=book&id=573770 – Библиогр.: с. 169-170. – ISBN 978-5-7782-3834-3. – Текст : электронный.

б) дополнительная литература:

№ п/п	Источник
3	Угрюмов Е. П. Цифровая схемотехника : [учебное пособие для студ. вузов] / Е.П. Угрюмов. – 3-е изд. – Санкт-Петербург : БХВ-Петербург, 2010. – 797 с.
4	Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А. К. Поляков. – М. : Солон-пресс, 2003. – 313 с.

в) информационные электронно-образовательные ресурсы:

№ п/п	Источник
5	http://www.lib.vsu.ru – ЗНБ ВГУ
6	Intel® FPGA Development Tools Support <URL: https://www.intel.com/content/www/us/en/programmable/products/design-software/fpga-design/quartus-prime/support.html >
7	МАРСОХОД Open Source Hardware Project <URL: https://marsohod.org >

16. Учебно-методическое обеспечение для организации самостоятельной работы:

№ п/п	Источник
1	Язык Verilog и проектирование цифровых устройств на ПЛИС : учебно-методическое пособие / Е.В. Богатиков, А.Н. Шебанов .— Воронеж : Издательский дом ВГУ, 2018 .— 60 с.
2	Богатиков, Евгений Васильевич. Основы проектирования устройств твердотельной электроники : учебно-методическое пособие / Е. В. Богатиков, А. Н. Шебанов, Е.Н. Борментов .— Воронеж : Издательский дом ВГУ, 2020 .— 56 с.

17. Образовательные технологии, используемые при реализации учебной дисциплины:

В учебном процессе используются следующие образовательные технологии. По образовательным формам: лекции; лабораторные занятия; индивидуальные занятия. По преобладающим методам и приемам обучения: объяснительно-иллюстративные (объяснение, показ–демонстрация учебного материала и др.); активные (анализ учебной и научной литературы, составление схем и др.) и интерактивные, в том числе и групповые (взаимное обучение в форме подготовки и обсуждения докладов); информационные; компьютерные; мультимедийные (работа с сайтами академических структур, научно-исследовательских организаций, электронных библиотек и др., разработка презентаций, сообщений и докладов, работа с электронными обучающими программами и т.п.).

18. Материально-техническое обеспечение дисциплины:

Учебная аудитория для проведения занятий лекционного типа и практических занятий - мультимедийный кабинет кафедры ФППиМЭ: стационарный мультимедийный проектор Acer X125H – 1 шт., ноутбук emachines e510 – 1 шт.; Microsoft Windows 7, Windows 10 договор 3010-15/207-19 от 30.04.2019

Учебная лаборатория микропроцессорных систем: отладочные комплекты микроконтроллера K1986BE92QI - 6 шт., отладочные комплекты ПЛИС Altera MAX II - 8 шт., компьютеры Lenovo V520-15IKL - 8 шт., цифровые осциллографы UTD2025CL - 3 шт., функциональные генераторы UTG2025A - 3 шт., источники питания QJ1503C – 3 шт., мультиметры цифровые UT39B – 3 шт., телевизор LED 48” – 1 шт.; Microsoft Windows 10, договор 3010-15/207-19 от 30.04.2019, свободно распространяемое ПО Quartus Prime 18.1 Lite Edition

Аудитория для самостоятельной работы студентов: Сервер на базе 2-х процессоров Xeon E5-2620 v3. – 1 шт., компьютеры HP ProDesk 400 G6 SFF – 9 шт., компьютеры Pentium Dual Core - 2 шт. , подключенные к сети Интернет и с обеспечением доступа к электронной информационно-образовательной среде ВГУ; Microsoft Windows 7, договор 3010-15/207-19 от 30.04.2019

19. Оценочные средства для проведения текущей и промежуточной аттестаций

Порядок оценки освоения обучающимися учебного материала определяется содержанием следующих разделов дисциплины:

№ п/п	Наименование раздела дисциплины	Компетенция	Индикаторы достижения компетенции	Оценочные средства
1	Введение в архитектуру ПЛИС	ПК-3	ПК-3.1, ПК-3.2, ПК-3.3	Тесты, вопросы, лабораторные работы
2	Основы языка Verilog	ПК-8	ПК-8.1, ПК-8.2	Тесты, вопросы, лабораторные работы
3	Верификация HDL-описания	ПК-7 ПК-8	ПК-7.1, ПК-7.2, ПК-8.2	Тесты, вопросы, лабораторные работы
4	Параметризуемые модели в Verilog	ПК-8	ПК-8.1, ПК-8.2	Тесты, вопросы, лабораторные работы
5	Согласование тактовыхменов	ПК-8	ПК-8.1, ПК-8.2	Тесты, вопросы, лабораторные работы
6	Использование конечных автоматов в Verilog	ПК-8	ПК-8.1, ПК-8.2	Тесты, вопросы, лабораторные работы

№ п/п	Наименование раздела дисциплины	Компетенция	Индикаторы достижения компетенции	Оценочные средства
7	Конвейерная обработка данных на Verilog	ПК-8	ПК-8.1, ПК-8.2	Тесты, вопросы, лабораторные работы
Промежуточная аттестация: форма контроля – экзамен				Комплект КИМ

20 Типовые оценочные средства и методические материалы, определяющие процедуры оценивания

20.1 Текущий контроль успеваемости

Текущий контроль успеваемости по дисциплине осуществляется с помощью следующих оценочных средств: тестовые задания, отчеты о выполнении лабораторных работ, ответы на вопросы

Тестовые задания

1. При помощи какого оператора языка Verilog можно изменять значение сигнала типа wire?

Варианты ответа:

- A) assign
- B) always
- C) initial
- D) case
- E) while

Правильный ответ: A.

2. Какие из операторов языка Verilog являются параллельными?

Варианты ответа:

- A) assign
- B) always
- C) case
- D) if
- E) for

Правильный ответ: A, B.

3. Какие операторы языка Verilog являются последовательными?

Варианты ответа:

- A) case
- B) for
- C) always
- D) assign
- E) initial

Правильный ответ: A, B.

4. Какая языковая конструкция Verilog не является синтезабельной?

Варианты ответа:

- A) always #(5) a=~b;
- B) assign a=~b;
- C) always @(negedge b) a<=~c;

- D) assign a=(b<c)?0:1;
 E) assign a=(b>c)?1'b1:1'bz;
 Правильный ответ: A.

5. Какое утверждение относительно портов модуля тестбенча является верным?

Варианты ответа:

- A) модуль тестбенча не содержит портов
 B) в модуле тестбенча не должно быть входов, но должны быть выходы
 C) в модуле тестбенча не должно быть выходов, но должны быть входы
 D) модуль тестбенча должен иметь и входы, и выходы
 E) модуль тестбенча должен иметь только двунаправленные порты
 Правильный ответ: A.

6. Найдите неверное утверждение про оператор initial.

Варианты ответа:

- A) оператор initial должен располагаться перед операторами assign и always
 B) оператор initial используется при написании тестбенчей
 C) оператор initial относится к параллельным операторам
 D) оператор initial запускается на выполнение один раз
 E) внутри оператора initial можно настроить сохранение результатов и продолжительность моделирования
 Правильный ответ: A.

7. Выберите, какому элементу соответствует следующий код на языке Verilog:

```
module nemo(a,b,c);
  input a,b;
  output reg c;
  always @(negedge a) c<=b;
endmodule
```

Варианты ответа:

- A) D-триггер, тактируемый по заднему фронту
 B) D-триггер, тактируемый по переднему фронту
 C) мультиплексор
 D) сдвиговый регистр
 E) двунаправленный буфер

Правильный ответ: A.

8. Выберите, какому элементу соответствует следующий код на языке Verilog:

```
module nemo (a, b, c);
  input a, b;
  output c;
  assign c =a ? b : 1'bz;
endmodule
```

Варианты ответа:

- A) буфер с z-состоянием
 B) компаратор
 C) RS-триггер
 D) мультиплексор
 E) приоритетный шифратор

Правильный ответ: А.

9. Выберите, какому элементу соответствует следующий код на языке Verilog:

```
module nemo (a, b, c);
  input [1:0] a;
  input [3:0] b;
  output c;
  reg d;
  always @(a)
  begin
    case (a)
      2'b00 : d<=b[0];
      2'b01 : d<=b[1];
      2'b10 : d<=b[2];
      2'b11 : d<=b[3];
    endcase
  end
  assign c = d;
endmodule
```

Варианты ответа:

- A) мультиплексор
- B) триггер
- C) сдвиговый регистр
- D) компаратор
- E) тождественность

Правильный ответ: А.

10. Выберите, какому элементу соответствует следующий код на языке Verilog:

```
module nemo (a, b, c);
  input a, b;
  output [7:0] c;
  reg [7:0] d;
  always @ (posedge a) d<={d[6:0],b};
  assign c=d;
endmodule
```

Варианты ответа:

- A) сдвиговый регистр
- B) JK-триггер
- C) двунаправленный порт
- D) мультиплексор
- E) шифратор

Правильный ответ: А.

11. Какие из нижеперечисленных описаний портов не могут быть правильными или достаточно полными (сигналы a, b имеют тип wire)?

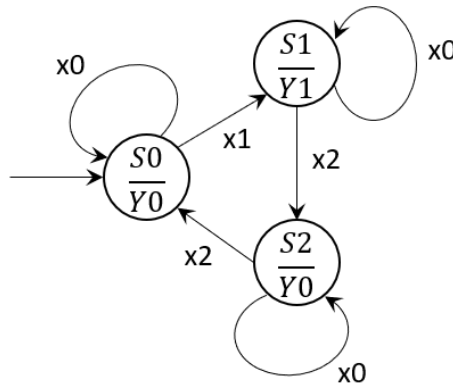
Варианты ответа:

- A) module nemo(input a, output b);
- B) module nemo(a, b);
 - input a;

- output b;
 C) module nemo(a, b);
 wire a;
 wire b;
 D) module nemo(input wire a, output wire b);
 E) module nemo(a, b);

Правильный ответ: С, Е.

12. Составьте совмещенную таблицу переходов и выходов конечного автомата, соответствующую следующему графу конечного автомата:



Решение:

Заголовочный столбец таблицы должен содержать все входные состояния автомата, а заголовочная строка – все внутренние состояния автомата. На пересечении строк и столбцов должны находиться состояния автомата, в которые он перейдет из текущего состояния (указанного в соответствующей ячейке заголовочной строки) под действием текущего входного состояния (указанного в соответствующей ячейке заголовочного столбца). Вместе с внутренними состояниями автомата указываются соответствующие выходные состояния. Для тех переходов, которым не соответствуют ребра графов, указываются прочерки.

Ответ:

X\S	S0	S1	S2
X0	S0/Y0	S1/Y1	S2/Y0
X1	S1/Y1	-	-
X2	-	S2/Y0	S0/Y0

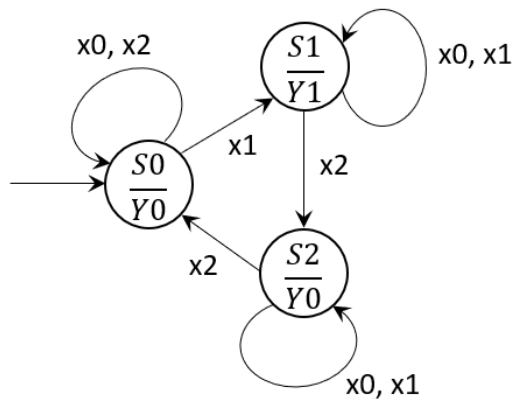
13. Изобразите граф конечного автомата, соответствующий следующей таблице переходов и выходов конечного автомата:

X\S	S0	S1	S2
X0	S0/Y0	S1/Y1	S2/Y0
X1	S1/Y1	S1/Y1	S2/Y0
X2	S0/Y0	S2/Y0	S0/Y0

Решение:

Заголовочный столбец таблицы содержит все входные состояния автомата, а заголовочная строка – все внутренние состояния автомата. На пересечении строк и столбцов находятся состояния автомата, в которые он перейдет из текущего состояния (указанного в соответствующей ячейке заголовочной строки) под действием текущего входного состояния (указанного в соответствующей ячейке заголовочного столбца). Вместе с внутренними состояниями автомата указываются соответствующие выходные состояния. Для тех переходов, которым не соответствуют ребра графов, указываются прочерки.

Ответ:



14. Составьте совмещенную таблицу переходов и выходов конечного автомата, соответствующую следующему описанию на языке Verilog:

```
module FSM (output reg Y0, Y1, input X0, X1, X2, X3, X4, clk, rst_n);
```

```
  reg [1:0] state, next;
```

```
  always @(posedge clk or negedge rst_n)
```

```
    if (!rst_n) state <= 2'b00;
```

```
    else state <= next;
```

```
  always @*
```

```
  begin
```

```
    next = 2'bx;
```

```
    case (state)
```

```
      2'b00: begin
```

```
        if (X0) next = 2'b01;
```

```
        if (X1) next = 2'b00;
```

```
        Y0 = 1'b1;
```

```
        Y1 = 1'b0;
```

```
      end
```

```
      2'b01: begin
```

```
        if (X3) next = 2'b10;
```

```
        if (X2) next = 2'b01;
```

```
        if (X4) next = 2'b11;
```

```
        Y0 = 1'b0;
```

```
        Y1 = 1'b1;
```

```
      end
```

```
      2'b10: begin
```

```
        if (X3) next = 2'b11;
```

```
        if (X4) next = 2'b10;
```

```
        Y0 = 1'b0;
```

```
        Y1 = 1'b1;
```

```
      end
```

```
      2'b11: begin
```

```
        if (X1) next = 2'b00;
```

```
        if (X0) next = 2'b01;
```

```
        Y0 = 1'b1;
```

```
        Y1 = 1'b0;
```

```
      end
```

```
    endcase
```

```
  end
```

```
endmodule
```

Решение:

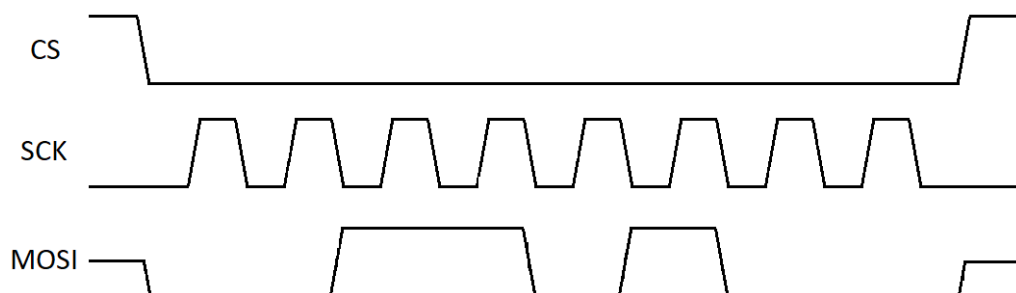
Заголовочный столбец таблицы должен содержать все входные состояния автомата, а заголовочная строка – все внутренние состояния автомата. На пересечении строк и столбцов должны находиться состояния автомата, в которые он перейдет из текущего состояния (указанного в соответствующей ячейке заголовочной строки) под действием текущего входного состояния (указанного в соответствующей ячейке заголовочного столбца). Вместе с внутренними состояниями автомата указываются соответствующие выходные состояния. Для тех переходов, которым не соответствуют ребра графов, указываются прочерки.

Количество внутренних состояний автомата определяется оператором case. В данном случае это 4 состояния. Количество входных и выходных состояний определяется строкой-заголовком модуля.

Ответ:

X\S	S0	S1	S2	S3
X0	S1/Y1	-	-	S1/Y1
X1	S0/Y0	-	-	S0/Y0
X2	-	S1/Y1	-	-
X3	-	S2/Y1	S3/Y0	-
X4	-	S3/Y0	S2/Y1	-

15. Передача данных по интерфейсу SPI в режиме Mode0 от ведущего к ведомому имеет следующую спецификацию: первый принимаемый бит игнорируется, второй бит означает порядок передаваемых данных (0 - первым передается старший бит числа, 1 - первым передается младший бит числа), следующие биты - передаваемое число. Передаче какого числа соответствует приведенная временная диаграмма? (ответ указать в десятичном формате)

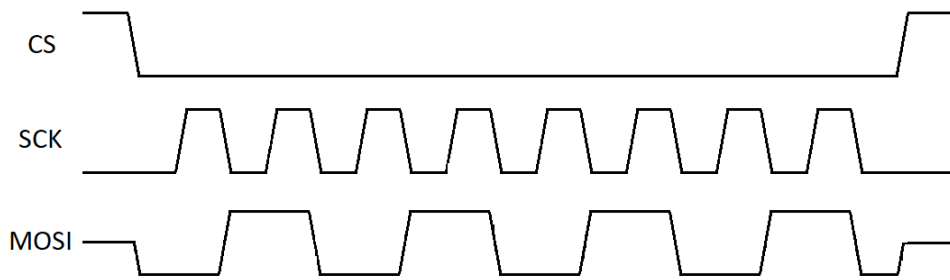


Решение:

При передаче данных по интерфейсу SPI в режиме Mode0 от ведущего к ведомому необходимо считывать данные сигнала MOSI по переднему фронту сигнала SCK. На приведенной диаграмме передается следующая последовательность бит: 0,0,1,1,0,1,0,0 (слева – первый передаваемый бит). Первый передаваемый бит согласно условию игнорируется. Равенство нулю второго передаваемого бита означает, что в последующих передаваемых битах сначала идет старший бит передаваемого числа. Таким образом, в двоичном виде было передано число 110100_2 , что соответствует числу 52_{10} в десятичной системе счисления.

Ответ: 52.

16. Передача данных по интерфейсу SPI в режиме Mode0 от ведущего к ведомому имеет следующую спецификацию: первый принимаемый бит игнорируется, второй бит означает порядок передаваемых данных (0 - первым передается старший бит числа, 1 - первым передается младший бит числа), следующие биты - передаваемое число. Передаче какого числа соответствует приведенная временная диаграмма? (ответ записать в десятичном)



Решение:

При передаче данных по интерфейсу SPI в режиме Mode0 от ведущего к ведомому необходимо считывать данные сигнала MOSI по переднему фронту сигнала SCK. На приведенной диаграмме передается следующая последовательность бит: 0,1,0,1,0,1,0,1 (слева – первый передаваемый бит). Первый передаваемый бит согласно условию игнорируется. Равенство единице второго передаваемого бита означает, что в последующих передаваемых битах сначала идет младший бит передаваемого числа. Таким образом, в двоичном виде было передано число 101010_2 , что соответствует числу 42_{10} в десятичной системе счисления.

Ответ: 42.

17. Какая временная диаграмма соответствует следующему коду на языке Verilog?

```

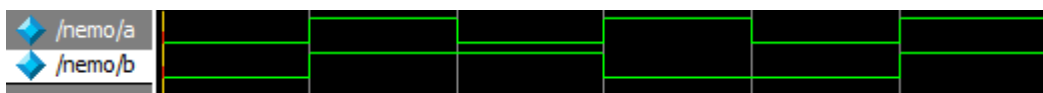
`timescale 1ns/1ns
module nemo();
  reg a=0;
  reg b=0;
  initial
  begin
    #1 a<=1;
    #1 a<=0;
    #1 a<=1;
    #1 a<=0;
    #1 a<=1;
    #1 $stop;
  end
  always @(posedge a) b<=!b;
endmodule

```

Решение:

В приведенной Verilog-модели сигнал «а» изменяется в операторе инициализации initial на каждом шаге моделирования, который составляет 1 нс. Изменения производятся 5 раз, после чего моделирование останавливается системной функцией \$stop. Начальное значение сигнала «а», задаваемое при объявлении сигнала, равно 0. Сигнал «b» изменяется оператором always по переднему фронту сигнала «а» на инвертированное значение сигнала «а». Начальное значение сигнала «b» равно 0.

Ответ:



18. Какая из временных диаграмм соответствует приведенному коду на Verilog?

```

`timescale 1ns/1ps
module nemo();
  reg a=0;
  reg b=0;

```

```

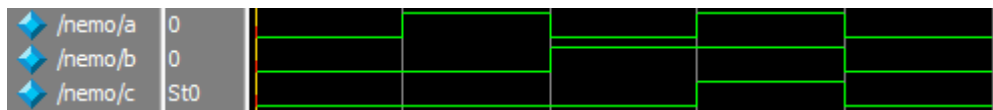
wire c;
initial
begin
    #5 $stop;
end
always #1 a <= !a;
always #2 b <= !b;
assign c = a & b;
endmodule

```

Решение:

В приведенной Verilog-модели сигнал «а» инвертируется в операторе процесса always через 1 нс, а сигнал «b» - через 2 нс. Начальные значения этих сигналов равны 0. Сигнал «с» изменяется оператором непрерывного присваивания assign и представляет собой результат логической операции «И» над сигналами «а» и «b».

Ответ:



Перечень лабораторных работ

- Лабораторная работа № 1. Схемотехническое моделирование LUT-элемента ПЛИС
- Лабораторная работа № 2. Разработка модели комбинационного устройства в Quartus.
- Лабораторная работа № 3. Функциональная верификация комбинационного устройства с помощью Modelsim.
- Лабораторная работа № 4. Разработка и верификация параметризованной модели таймера.
- Лабораторная работа № 5. Реализация SPI-интерфейса для ведомого устройства
- Лабораторная работа № 6. Реализация конечного автомата на Verilog
- Лабораторная работа № 7. Конвейерная реализация арифметических действий

Примерный перечень вопросов для текущего контроля успеваемости

1. Из каких элементов состоит LUT?
2. Логическую функцию какого числа переменных может реализовать LUT, имеющий 64 регистра?
3. Какое устройство в составе логических элементов ПЛИС служит для реализации последовательностных схем?
4. Как осуществляется компиляция программного кода в Icarus-Verilog ?
5. Как называется программа-симулятор в Icarus-Verilog ?
6. Для чего используется файл с расширением .vcd ?
7. В чем заключается отличие параллельных операторов от последовательных?
8. Какими могут быть направленности портов в Verilog и в чем заключаются их отличия?
9. Какие правила следует применять при назначении типов портов и сигналов, подключаемых к портам?
10. Как реализуется двунаправленный порт в Verilog?
11. Что такое z-состояние?
12. Что означает запись 4'b10xz ?
13. Что означает параметр time_precision директивы компилятора `timescale?
14. Какие требования накладываются на порты тестбенча?

15. Каким образом в тестбенче можно задать продолжительность моделирования?
16. Можно ли реализовать изменение входных сигналов при помощи оператора initial?
17. Можно ли использовать сигнал типа wire в правой части оператора присваивания внутри оператора процесса always?
18. Каким образом можно реализовать ветвление в операторе assign?
19. В чем заключаются отличие flip-flop триггеров от триггеров-защелок?
20. Какие условия запуска процесса always являются синтезобельными, а какие – нет?
21. В чем заключается отличие обычных мультиплексоров от мультиплексоров-селекторов?
22. Мультиплексор какой размерности может быть реализован при помощи четырехвходового LUT?
23. Являются ли операторы цикла синтезобельными?
24. Что такое подтягивающий резистор и для чего он используется?
25. Почему сигналы, подаваемые на входы ПЛИС обычно имеют в качестве активного уровня логический «0»?
26. Как включаются внутренние подтягивающие резисторы в Quartus?
27. Какую направленность будут иметь неиспользуемые входы/выходы ПЛИС?

Критерии оценивания текущей успеваемости

Критерии оценивания компетенций	Уровень сформированности компетенций	Шкала предварительных оценок
Обучающийся в полной мере владеет понятийным аппаратом данной области науки (теоретическими основами дисциплины), способен иллюстрировать ответ примерами, фактами, данными научных исследований, применять теоретические знания для выполнения тестов решения практических задач при выполнении лабораторных работ	Повышенный уровень	<i>Отлично</i>
Обучающийся владеет понятийным аппаратом данной области науки (теоретическими основами дисциплины), допускает незначительные ошибки при выполнении тестов и лабораторных задач	Базовый уровень	<i>Хорошо</i>
Обучающийся владеет частично теоретическими основами дисциплины, фрагментарно способен проходить тестирование и выполнять лабораторные задания	Пороговый уровень	<i>Удовлетворительно</i>
Неудовлетворительное выполнение тестовых заданий. Обучающийся демонстрирует отрывочные, фрагментарные знания, допускает грубые ошибки при выполнении практических задач лабораторных работ	–	<i>Неудовлетворительно</i>

20.2 Промежуточная аттестация

Промежуточная аттестация по дисциплине осуществляется с помощью следующих оценочных средств:

Комплект КИМ

Контрольно-измерительный материал № 1

1. Классификация и области применения ПЛИС.

2. Операции в языке Verilog.

Контрольно-измерительный материал № 2

1. Общая структура логического элемента ПЛИС.
2. Директивы компилятора и системные функции.

Контрольно-измерительный материал № 3

1. Способы реализации логических функций в ПЛИС.
2. Параллельный оператор для изменения сигналов типа wire в Verilog.

Контрольно-измерительный материал № 4

1. Программируемая коммутация в ПЛИС.
2. Параллельный оператор для изменения сигналов типа reg в Verilog.

Контрольно-измерительный материал № 5

1. Подсистема ввода-вывода в ПЛИС.
2. Структурное описание и поведенческое описание устройства.

Контрольно-измерительный материал № 6

1. Общая структура Verilog-проекта.
2. Последовательные операторы присваивания в Verilog.

Контрольно-измерительный материал № 7

1. Синтаксис описания модуля.
2. Последовательные операторы ветвления и выбора в Verilog.

Контрольно-измерительный материал № 8

1. Сигналы типа reg и wire в Verilog.
2. Последовательные операторы цикла в Verilog.

Контрольно-измерительный материал № 9

1. Типы данных в Verilog.
2. Функциональная верификация HDL-описания. Понятие синтезабельности.

Контрольно-измерительный материал № 10

1. Понятие процесса в Verilog.
2. Конвейерная обработка данных на Verilog.

Контрольно-измерительный материал № 11

1. Программирование конечных автоматов в Verilog.
2. Понятие метастабильности триггеров.

Контрольно-измерительный материал № 12

1. Согласование тактовых доменов с помощью регистров сдвига.
2. Параметризуемые модели в Verilog.

Описание технологии проведения промежуточной аттестации

Промежуточная аттестация по дисциплине – экзамен. В приложение к диплому вносится оценка *отлично/хорошо/удовлетворительно*.

Оценка уровня освоения дисциплины «Проектирование цифровых устройств на Verilog» осуществляется по следующим показателям:

- качество и своевременность выполнения лабораторных работ;
- полнота ответов на вопросы контрольно-измерительного материала;
- полнота ответов на дополнительные вопросы.

Критерии оценки освоения дисциплины «Проектирование цифровых устройств на Verilog»: (или таблица)

– оценка *отлично* выставляется при полном соответствии работы студента всем вышеуказанным показателям. Соответствует высокому (углубленному) уровню сформированности компетенций: компетенции сформированы полностью, проявляются и используются систематически, в полном объеме. Данный уровень превосходит, по крайней мере, по одному из перечисленных выше показателей повышенный (продвину-тый) уровень;

– оценка *хорошо* выставляется в случае, если работа студента при освоении дисциплины не соответствует одному из перечисленных показателей или в случае предоставления курсовых работ и отчетов по лабораторным работам позже установленного срока. Соответствует повышенному (продвинутому) уровню сформированности компетенций: компетенции в целом сформированы, но проявляются и используются фрагментарно, не в полном объеме. Данный уровень превосходит, по крайней мере, по одному из перечисленных выше показателей пороговый (базовый) уровень;

– оценка *удовлетворительно* выставляется в случае, если работа студента при освоении дисциплины не соответствует любым двум из перечисленных показателей. Соответствует пороговому (базовому) уровню сформированности компетенций: компетенции сформированы в общих чертах, проявляются и используются ситуативно, частично. Данный уровень обязателен для всех осваивающих основную образовательную программу;

– оценка *неудовлетворительно* выставляется в случае несоответствия работы студента всем показателям, его неорганизованности, безответственности и низкого качества работы при выполнении лабораторных работ, предусмотренных программой дисциплины.

Факт невыполнения требований, предъявляемых к студенту при освоении дисциплины «Проектирование цифровых устройств на Verilog» и отраженных в вышеперечисленных критериях, фиксируется в ведомости оценкой *неудовлетворительно*.

Если студент не осваивает дисциплину в установленном программой объеме и в сроки, определенные графиком учебного процесса, он не допускается к промежуточной аттестации по данному виду учебной работы.

Описание шкалы, показателей и критериев оценивания компетенций (результатов обучения)

Компетенция	Показатель сформированности компетенции	Шкала и критерии оценивания уровня освоения компетенции			
		<i>отлично</i>	<i>хорошо</i>	<i>удовлетворительно</i>	<i>неудовлетворительно</i>

<p>ПК-3 - Способен анализировать состояние научно-технической проблемы путём подбора, изучения и анализа литературных и патентных источников</p>	<p>Знает: - архитектуру ПЛИС; - принципы разработки HDL-описаний цифровых устройств; Умеет: - составлять описание алгоритма функционирования и циклограммы работы СнК; - применять язык Verilog для создания синтезируемых HDL-описаний цифровых устройств по техническому заданию; - разрабатывать методику тестирования и проводить функциональную верификацию HDL-описания; - проводить конфигурирование ПЛИС и тестирование законченного цифрового устройства на базе ПЛИС; - выполнять технико-экономический анализ по выбору архитектуры СнК; - обосновывать принимаемые решения по выбору архитектуры СнК Владеет: - программными средствами реализации цифровых устройств</p>	<p>Сформированы знания</p>	<p>Сформированные, но содержащие отдельные пробелы в знаниях</p>	<p>Неполные знания</p>	<p>Фрагментарные знания или отсутствие знаний</p>
--	--	----------------------------	--	------------------------	---

<p>ПК-7 - Готов определять цели, осуществлять постановку задач проектирования электронных приборов, схем и устройств различного функционального назначения, подготавливать технические задания на выполнение проектных работ</p>	<p>Знает: - языки описания аппаратуры; - методики верификации поведенческих моделей цифровых блоков; Умеет: - использовать языки описания аппаратуры при проектировании цифровых блоков СнК; - формулировать задачи функциональной и временной верификации цифровых блоков СнК; - производить выбор методики верификации поведенческих моделей цифровых блоков</p>	<p>Сформированное умение</p>	<p>Успешное, но содержащее отдельные пробелы умение</p>	<p>Успешное, но не системное умение</p>	<p>Фрагментарные умения или отсутствие умений</p>
--	--	------------------------------	---	---	---

<p>ПК-8 - Способен проектировать устройства, приборы и системы электронной техники с учетом заданных требований</p>	<p>Знает: - языки описания аппаратуры; Умеет: - использовать языки описания аппаратуры при проектировании цифровых блоков СнК Умеет: - применять язык Verilog для создания синтезируемых HDL-описаний цифровых устройств по техническому заданию; - разрабатывать методику тестирования и проводить функциональную верификацию HDL-описания; - проводить конфигурирование ПЛИС и тестирование законченного цифрового устройства на базе ПЛИС.</p>	<p>Сформированное умение</p>	<p>Успешное, но содержащее отдельные пробелы умение</p>	<p>Успешное, но не системное умение</p>	<p>Фрагментарные умения или отсутствие умений</p>
---	---	------------------------------	---	---	---